

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000075842 A

(43) Date of publication of application: 14.03.00

(51) Int. Cl

**G09G 3/36**  
**G02F 1/133**

(21) Application number: 10245953

(71) Applicant: SONY CORP

(22) Date of filing: 31.08.98

(72) Inventor: NAKAJIMA YOSHIHARU  
MAEKAWA TOSHIICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS  
DATA LINE DRIVING CIRCUIT

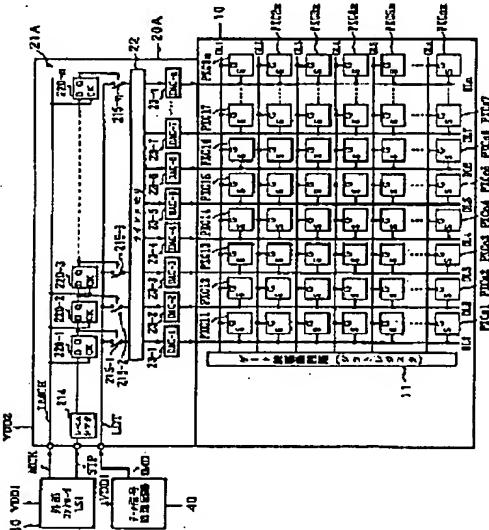
to 215-m.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device permitting to achieve low power consumption and speed-up.

SOLUTION: This liquid crystal display device is provided with a master clock signal line LMCK for propagating a master clock signal MCK of an amplitude of a low power supply voltage VDD1, a level shifter 214 for level-shifting a start pulse signal STP of the low power supply voltage VDD1 amplitude to a high power supply voltage VDD2 amplitude, switching circuits 215-1 to 215-m for operationally connecting the data signal line LDT with input terminals of line memory 22 and sampling image data, and flip-flops 220-1 to 220-m which operate with a high power supply voltage VDD2; receive a master clock signal MCK to clock terminal CK and convert it into a clock signal of a high voltage amplitude; latch an output pulse of the former stage synchronizing with the converted clock signal and output it to the following stage, and also output it to the control terminals of the corresponding switching circuits 215-1



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-75842

(P2000-75842A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int. C1. 7

G 0 9 G 3/36  
G 0 2 F 1/133

識別記号

5 0 5

F I

G 0 9 G 3/36

G 0 2 F 1/133

テーマコード (参考)

2H093  
5C006

審査請求 未請求 請求項の数 12

O L

(全 14 頁)

(21) 出願番号

特願平10-245953

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成10年8月31日 (1998.8.31)

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー  
株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー  
株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

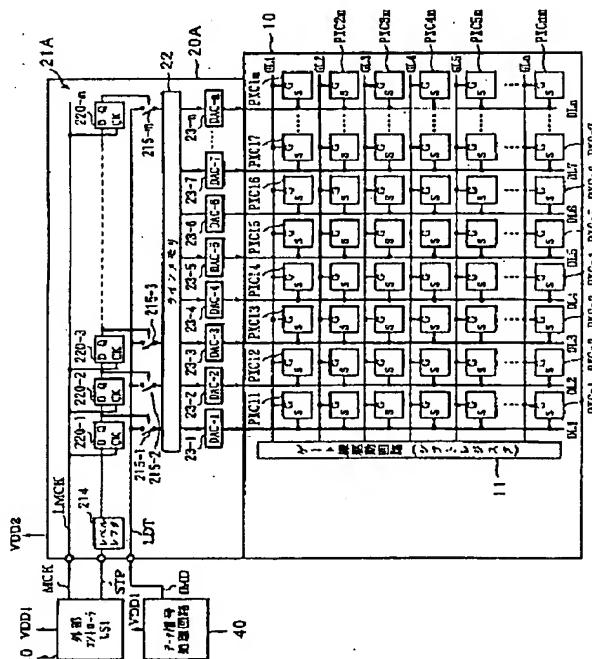
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびそのデータ線駆動回路

(57) 【要約】

【課題】 低消費電力化、並びに高速化を実現できる液晶表示装置を提供する。

【解決手段】 低電源電圧VDD1振幅のマスタクロック信号MCKを伝搬するマスタクロック信号線LMCKと、低電源電圧VDD1振幅のスタートパルス信号STPを高電源電圧VDD2振幅にレベルシフトするレベルシフタ214と、制御端子への信号がハイレベルで供給されたときに、データ信号線LDTとラインメモリ22の入力端子とを作動的に接続し画像データをサンプリングするスイッチ回路215-1～215-mと、高電源電圧VDD2で動作し、マスタクロック信号MCKをクロック端子CKに受けて高電圧振幅のクロック信号に変換し、変換後のクロック信号に同期して前段の出力パルスをラッピングして次段に出力し、かつ対応するスイッチ回路215-1～215-mの制御端子に出力するフリップフロップ220-1～220-mとを設ける。



## 【特許請求の範囲】

【請求項1】 画像データを受けて、画素セルが接続された複数のデータ線に、入力データに応じたレベルの信号出力を行って所定の画素セルへの書き込み行う液晶表示装置であって、

第1の電源電圧に応じた振幅を有する外部からのマスタクロック信号を伝搬するマスタクロック信号線と、上記画像データを伝搬する画像データ線と、上記第1の電源電圧に応じた振幅を有する外部からのスタートパルス信号を第1の電源電圧より高い第2の電源電圧に応じた振幅を有するスタートパルス信号に変換する第1のレベルシフタと、クロック入力端子が上記マスタクロック信号線に並列に接続され、当該クロック入力端子に入力された第1の電源電圧に応じた振幅を有するマスタクロック信号を第2の電源電圧に応じた振幅を有するクロック信号に変換する第2のレベルシフタを有し、変換後のクロック信号に同期して上記第1のレベルシフタで変換されたスタートパルス信号を初段から次段へと順次にシフトする縦続接続された複数のフリップフロップと、

上記各フリップフロップの出力信号を順次に受けて上記画像データ線を伝搬する画像データを順次にサンプリングし、サンプリング後のデータを上記入力データに応じたレベルの信号として各データ線に供給するデータ処理手段とを有するデータ線駆動回路を有する液晶表示装置。

【請求項2】 上記第2のレベルシフタをレベル変換が必要な期間のみアクティブ状態に制御する制御回路を有する請求項1記載の液晶表示装置。

【請求項3】 上記フリップフロップへ入力されるスタートパルス信号と当該フリップフロップの出力信号に基づいて上記第2のレベルシフタのアクティブ状態を制御する手段を有する請求項1記載の液晶表示装置。

【請求項4】 上記第2のレベルシフタは、TFTで構成されるソース入力型差動増幅器からなり、

上記第2のレベルシフタからクロック信号線に流れる電流を必要時以外制限する手段を有する請求項2記載の液晶表示装置。

【請求項5】 上記制御回路の制御出力を強制的に決定可能な手段を有する請求項2記載の液晶表示装置。

【請求項6】 上記データ線駆動回路はポリシリコンTFTにより液晶表示部と一体的に形成されている請求項1記載の液晶表示装置。

【請求項7】 画像データを受けて、画素セルが接続された複数のデータ線に、入力データに応じたレベルの信号出力を行って所定の画素セルへの書き込み行う液晶表示装置のデータ線駆動回路であって、

第1の電源電圧に応じた振幅を有する外部からのマスタクロック信号を伝搬するマスタクロック信号線と、上記画像データを伝搬する画像データ線と、

上記第1の電源電圧に応じた振幅を有する外部からのスタートパルス信号を第1の電源電圧より高い第2の電源

電圧に応じた振幅を有するスタートパルス信号に変換する第1のレベルシフタと、

クロック入力端子が上記マスタクロック信号線に並列に接続され、当該クロック入力端子に入力された第1の電源電圧に応じた振幅を有するマスタクロック信号を第2の電源電圧に応じた振幅を有するクロック信号に変換する第2のレベルシフタを有し、変換後のクロック信号に同期して上記第1のレベルシフタで変換されたスタートパルス信号を初段から次段へと順次にシフトする縦続接続された複数のフリップフロップと、

上記各フリップフロップの出力信号を順次に受けて上記画像データ線を伝搬する画像データを順次にサンプリングし、サンプリング後のデータを上記入力データに応じたレベルの信号として各データ線に供給するデータ処理手段とを有する液晶表示装置のデータ線駆動回路。

【請求項8】 上記第2のレベルシフタをレベル変換が必要な期間のみアクティブ状態に制御する制御回路を有する請求項7記載の液晶表示装置のデータ線駆動回路。

【請求項9】 上記フリップフロップへ入力されるスタートパルス信号と当該フリップフロップの出力信号に基づいて上記第2のレベルシフタのアクティブ状態を制御する手段を有する請求項7記載の液晶表示装置のデータ線駆動回路。

【請求項10】 上記第2のレベルシフタは、TFTで構成されるソース入力型差動増幅器からなり、

上記第2のレベルシフタからクロック信号線に流れる電流を必要時以外制限する手段を有する請求項8記載の液晶表示装置のデータ線駆動回路。

【請求項11】 上記制御回路の制御出力を強制的に決定可能な手段を有する請求項8記載の液晶表示装置のデータ線駆動回路。

【請求項12】 ポリシリコンTFTにより液晶表示部と一体的に形成されている請求項7記載の液晶表示装置のデータ線駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶表示装置およびそのデータ線駆動回路に関するものである。

## 【0002】

【従来の技術】 近年、表示装置として液晶を用いた表示パネル装置の躍進が著しい。この表示パネル装置は、ビデオカムコーダのビューファインダや液晶表示パネル、自動車用のテレビや、ナビゲーションシステムの表示パネル、ノート型パソコンのディスプレイ等に広く使われている。

【0003】 また最近では、液晶パネルを用いたリアプロジェクション型のテレビジョン受像機、またOHPを用いずにパソコンの画面を直接スクリーンに投影するプロジェクタ装置等も普及しつつある。また従来CRTを用いていたデスクトップ型のパソコンのディスプレイを

液晶パネルに置き換え、省スペース、省電力を達成しようとする動きもある。

【0004】これらの背景には、液晶パネルの、高精細度化、高画質化（フルカラー化、高コントラスト化、広視角化、動画対応、等）と周辺技術（駆動回路／素子技術、バックライト、その他）の向上がある。それらの技術の総合的な向上により、液晶表示装置が幅広い応用分野に使われるようになった。

【0005】ところで、最先端の液晶表示装置における表示パネルの画質はCRTディスプレイに見劣りしないようになりつつあるが、未だ改善されなければならない部分も多い。その一つに液晶パネルの駆動回路が挙げられる。

【0006】高精細度、高画質の液晶表示パネルの駆動回路は、非常に大規模で、多数のチップを必要とし、かつ精度の高い回路が必要とされ、表示画質は表示パネルのコストを制約する大きな要素のひとつとなっている。以下、従来の液晶表示パネルの駆動回路について詳細に説明する。

【0007】液晶素子には多くの種類が存在するが、フルカラーかつ動画が表示可能なパネルは、TFT(Thin Film Transistor)型と呼ばれ、画素を構成する個々の液晶素子に、薄膜トランジスタ（TFT）を集積する構造を持つものがほとんどである。

【0008】図12は、TFT型液晶表示パネルの画素を形成するセルの回路的な構造を示す図である。TFT型液晶表示パネルの画素セルは、図12に示すように、個々の液晶セルCCの一端は対向電極ELに接続されている。この対向電極ELには全面素セル全てが共通に接続される。他端は個々の画素セル毎に設けられたTFTに接続される。TFTはスイッチとして用いられるため、ソース、ドレインの区別は本来無いが、便宜上ここでは、ソースが液晶セルCCに接続されるものとする。TFTのゲートはゲート駆動線GLに接続され、その駆動信号により画素データを書き込むラインが選択される。またドレインは選択されたラインの個々の液晶セルに書き込まれる画素データが供給されるデータ線DLに接続される。選択されたラインへの書き込み時間が終了すると、そのラインのTFTはオフするが、画素データは液晶セルCCやTFTの容量のため、次の書き込みが行われるまでその電位が保持される。

【0009】図12に示したTFT型液晶表示パネルの画素セルの構造は、全てのパネルにおいて共通である。一方、TFTの構造／製造方法、対向電極の駆動方法、画素データの駆動方法にはいくつかの種類が存在する。

【0010】TFTの構造／製造方法には、アモルファスシリコンを使う方法と、ポリ（多結晶）シリコンを使う方法に大別される。前者は高温プロセスを必要としないので、ガラスを基板とした大型のパネルが作りやすい。後者は、高温プロセスのため、石英基板が必要で、

これまで小型のパネルに限定されてきた。最近レーザアニール等の技術の進歩により、低温でポリシリコンTFTを形成する技術も開発され、中型パネルもポリシリコンTFT型で製造することができるようになった。ポリシリコンTFT内のキャリアの移動度はアモルファスシリコンTFT内に比較し1桁程度大きい。したがってアモルファスTFTの場合、そのオン抵抗が高く、書き込み時間をかなり長く取ることが必要であった。それに対しポリシリコンTFTの場合は書き込み時間がかなり短くて済む。

【0011】このように、ポリシリコンTFT型はオン抵抗が小さいので、書き込み時間を大幅に短くすることができますことから、たとえばビデオカムコーダのビューファインダ用程度の画素数の少ないパネルでは、ほとんどの回路を液晶表示パネル上に構築することが可能である。

【0012】ポリシリコンTFTにより液晶表示パネルと一体形成された駆動回路では、従来、回路の電源電圧（10V以上の高電圧）と同じ電圧振幅のマスタクロック信号により同期回路が構築されている。この構成は、通常の単結晶シリコンのCMOSデジタル回路と同じであり、回路チップ内にはりめぐらされるクロック信号により、直接インバータ回路のオン・オフを制御できる利点がある。

【0013】図13は、従来のポリシリコンTFT型液晶表示装置の構成例を示す回路図である。この液晶表示装置は、図13に示すように、液晶表示パネル部10、データ線駆動回路20、外部コントローラ30、およびデータ信号処理回路40により構成されている。そして、液晶表示パネル部10およびデータ線駆動回路20はポリシリコンTFT基板上に集積され、外部コントローラ30およびデータ信号処理回路40は単結晶シリコン回路として構成されている。

【0014】液晶表示パネル部10においては、図12に示すように、液晶セルとTFTからなる画素セルPX-Cが水平、垂直方向にm、n個配置されている。そして、画素セルPX-Cのゲート駆動信号端子Gがゲート線駆動回路11に接続されている共通のゲート線GL1～GLnに接続され、データ駆動信号端子Sがデータ線駆動回路20に接続されている共通のデータ線DL1～DLmに接続されている。

【0015】データ線駆動回路20は、外部から入力されるデジタル画像データIMDをサンプリングするサンプリング回路21、サンプリング回路21でサンプリングされたデータを格納するラインメモリ22、およびm本の各データ線DL1～DLmに対応して設けられたDAC（デジタル-アナログ変換回路）23-1～23-mから構成されている。

【0016】サンプリング回路21は、外部コントローラ30から供給される5V以下の外部電源電圧VDD1

たとえば3Vの振幅のマスタクロック信号MCKを5V以上の内部電源電圧VDD2たとえば15Vの振幅にレベルシフトするレベルシフタ211と、レベルシフタ211の出力信号用のバッファ回路212と、クロック入力端子CKがバッファ回路212の出力ラインL212に並列に接続され、かつ出力端子Qと入力端子Dとが継続接続されたm個のD型フリップフロップ213-1～213-mと、外部コントローラ30から供給される5V以下の外部電源電圧VDD1の振幅のスタートパルス信号S TPを5V以上の内部電源電圧VDD2の振幅にレベルシフトして初段のフリップフロップ213-1の入力端子Dに出力するレベルシフタ214と、外部のデータ信号処理回路40によるデジタル画像信号IMDを伝搬するデータ信号線LDTと、データ信号線LDTとラインメモリ22の入力端子とを各フリップフロップ213-1～213-mの出力端子Qからの信号がハイレベルのときに接続し、データをサンプリングするスイッチ回路215-1～215-mにより構成されている。

【0017】このような構成において、外部コントローラ30で発生された3V振幅のマスタクロック信号MCKおよびスタートパルス信号S TP、並びにデータ信号処理回路40で処理されたデジタル画像データIMDがデータ線駆動回路20のサンプリング回路21に供給される。サンプリング回路21に供給されたマスタクロック信号MCKは、レベルシフタ211に15V振幅のクロック信号に変換され、バッファ回路212を介して各フリップフロップ213-1～213-mのクロック入力端子CKに並列的に供給される。また、スタートパルス信号S TPは、レベルシフタ214で15V振幅のパルス信号に変換され、初段のフリップフロップ213-1の端子Dに入力される。

【0018】そして、デジタル画像データIMDは、データ信号線LDTに伝搬され、マスタクロック信号MCKで同期された各フリップフロップ213-1～213-mのQ出力により各スイッチ回路215-1～215-mが順次にオン、オフされる。これによりデータ信号が順次にサンプリングされて、対応するラインメモリ22の所定の領域に格納される。ラインメモリ22に格納された、画素データは、各データ線に対応して設けられたDAC23-1～23-mにそれぞれ供給され、ここでアナログ信号に変換されて、各データ線DL1～DLmに供給される。また、ゲート線駆動回路11においてライン選択信号が発生されて、所定のゲート線GL1～GLnに供給され、画像データがm個の画素セルに対して並列に書き込まれる。

【0019】

【発明が解決しようとする課題】ところで、上述した従来の液晶表示装置では、振幅が5V以下の外部の電源電圧VDD1に依存するマスタクロック信号MCKの、5V以上の高電源電圧VDD2で駆動されるデータ線駆動

回路20のインターフェース部にマスタクロック信号MCK用のレベルシフタ211が必要となり、これに伴い、基板の回路全体に亘って高電圧振幅のクロック信号を供給するための高電圧クロック用バッファ回路212が必要となる。しかしながら、ポリシリコンTFTでこのバッファ回路212を作製すると、遅延時間が大きくなり、回路の高速動作を困難にする。また、高電圧クロック用バッファ回路212は、ポリシリコンTFT型液晶表示装置のうち最大級の電力を消費しており、システムの低消費電力化に向けて大きな足かせとなっている。さらに、高電圧、高速のクロック信号が基板全体に亘ってはりめぐらされていることから、不要輻射の発生のおそれがある。以上の課題は、液晶表示装置の大画面化、高解像度化、および多階調化に伴う回路配線容量の増大とともに、深刻なものとなる。

【0020】本発明は、かかる事情に鑑みてなされたものであり、その目的は、低消費電力化、並びに高速化を実現できる液晶表示装置およびそのデータ線駆動回路を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するため、本発明は、画像データを受けて、画素セルが接続された複数のデータ線に、入力データに応じたレベルの信号出力を行って所定の画素セルへの書き込みを行う液晶表示装置であって、第1の電源電圧に応じた振幅を有する外部からのマスタクロック信号を伝搬するマスタクロック信号線と、上記画像データを伝搬する画像データ線と、上記第1の電源電圧に応じた振幅を有する外部からのスタートパルス信号を第1の電源電圧より高い第2の

電源電圧に応じた振幅を有するスタートパルス信号に変換する第1のレベルシフタと、クロック入力端子が上記マスタクロック信号線に並列に接続され、当該クロック入力端子に入力された第1の電源電圧に応じた振幅を有するマスタクロック信号を第2の電源電圧に応じた振幅を有するクロック信号に変換する第2のレベルシフタを有し、変換後のクロック信号に同期して上記第1のレベルシフタで変換されたスタートパルス信号を初段から次段へと順次にシフトする継続接続された複数のフリップフロップと、上記各フリップフロップの出力信号を順次に受けて上記画像データ線を伝搬する画像データを順次にサンプリングし、サンプリング後のデータを上記入力データに応じたレベルの信号として各データ線に供給するデータ処理手段とを有するデータ線駆動回路を有する。

【0022】また、本発明は、画像データを受けて、画素セルが接続された複数のデータ線に、入力データに応じたレベルの信号出力を行って所定の画素セルへの書き込みを行う液晶表示装置のデータ線駆動回路であって、第1の電源電圧に応じた振幅を有する外部からのマスタクロック信号を伝搬するマスタクロック信号線と、上記画

像データを伝搬する画像データ線と、上記第1の電源電圧に応じた振幅を有する外部からのスタートパルス信号を第1の電源電圧より高い第2の電源電圧に応じた振幅を有するスタートパルス信号に変換する第1のレベルシフタと、クロック入力端子が上記マスタクロック信号線に並列に接続され、当該クロック入力端子に入力された第1の電源電圧に応じた振幅を有するマスタクロック信号を第2の電源電圧に応じた振幅を有するクロック信号に変換する第2のレベルシフタを有し、変換後のクロック信号に同期して上記第1のレベルシフタで変換されたスタートパルス信号を初段から次段へと順次にシフトする継続接続された複数のフリップフロップと、上記各フリップフロップの出力信号を順次に受けて上記画像データ線を伝搬する画像データを順次にサンプリングし、サンプリング後のデータを上記入力データに応じたレベルの信号として各データ線に供給するデータ処理手段とを有する。

【0023】また、本発明では、好適には、上記第2のレベルシフタをレベル変換が必要な期間のみアクティブ状態に制御する制御回路を有する。

【0024】また、本発明では、好適には、上記フリップフロップへ入力されるスタートパルス信号と当該フリップフロップの出力信号に基づいて上記第2のレベルシフタのアクティブ状態を制御する手段を有する。

【0025】また、本発明では、上記第2のレベルシフタは、TFTで構成されるソース入力型差動増幅器からなり、上記第2のレベルシフタからクロック信号線に流れる電流を必要時以外制限する手段を有する。

【0026】また、本発明では、上記制御回路の制御出力を強制的に決定可能な手段を有する。

【0027】また、本発明では、データ線駆動回路は、ポリシリコンTFTにより液晶表示部と一体的に形成されている。

【0028】本発明によれば、外部で発生された第1の電源電圧に応じた振幅のマスタクロック信号およびスタートパルス信号、並びに画像データがデータ線駆動回路に供給される。データ線駆動回路では、マスタクロック信号は第1の電源電圧に応じた振幅のままで、マスタクロック信号線を伝搬され、各フリップフロップのクロック入力端子に並列的に供給される。また、スタートパルス信号は、第1のレベルシフタで第1の電源電圧より高い第2の電源電圧に応じた振幅のパルス信号に変換され、初段のフリップフロップに入力される。各フリップフロップでは、第2のレベルシフタにおいて、入力された第1の電源電圧に応じた振幅のマスタクロック信号が第2の電源電圧に応じた振幅のクロック信号に変換されて、変換後のクロック信号に同期して第1のレベルシフタで変換されたスタートパルス信号が初段から次段へと順次にシフト転送される。そして、各フリップフロップの出力信号はデータ処理手段に順次に入力されて、画像

データ線を伝搬する画像データが順次にサンプリングされ、サンプリング後のデータが入力レベルに応じたレベルの信号として各データ線に供給される。これにより、画像データが複数個の画素セルに対して書き込まれる。

### 【0029】

#### 【発明の実施の形態】第1実施形態

図1は、本発明に係るポリシリコンTFT型液晶表示装置の第1の実施形態を示す回路図であって、従来例を示す図13と同一構成部分は同一符号をもって表している。

【0030】すなわち、本液晶表示装置は、図1に示すように、液晶表示パネル部10、データ線駆動回路20A、外部コントローラ30、およびデータ信号処理回路40により構成されている。そして、液晶表示パネル部10およびデータ線駆動回路20AはポリシリコンTFT基板上に集積され、外部コントローラ30およびデータ信号処理回路40は単結晶シリコン回路として構成されている。

【0031】液晶表示パネル部10においては、図12に示すように、液晶セルとTFTからなる画素セルPXCが水平、垂直方向にm、n個配置されている。画素セルPXCの端子SおよびGはそれぞれデータ駆動信号端子、ゲート駆動信号端子である。同一の水平方向ラインに配置された画素セルPXCは、ゲート駆動信号端子Gが共通のゲート線GL1～GLnに接続され、各ゲート線GL1～GLnはゲート線駆動回路11に接続されている。また、同一の垂直方向列に配置された画素セルPXCは、データ駆動信号端子Sが共通のデータ線DL1～DLmに接続され、各データ線DL1～DLmはデータ線駆動回路20に接続されている。

【0032】ゲート線駆動回路11は、基本的にはシフトレジスタにより構成され、垂直同期信号VSYNCとラインクロックLCLKより、ライン選択信号を発生する。

【0033】データ線駆動回路20Aは、シリアル(直列)データとして供給されるデジタルの画像データIMDを1ライン分のパラレル(並列)なアナログ信号に変換する。具体的には、外部から入力されるデジタル画像データIMDをサンプリングするサンプリング回路21A、サンプリング回路21Aでサンプリングされたデータを格納するラインメモリ22、およびm本の各データ線DL1～DLmに対応して設けられたDAC(デジタルアナログ変換回路)23-1～23-mから構成されている。

【0034】サンプリング回路21Aは、マスタクロック信号線LMCK、データ信号線LDT、レベルシフタ214、スイッチ回路215-1～215-m、およびレベルシフト機能付きD型フリップフロップ220-1～220-mにより構成されている。

【0035】なお、本実施形態においては、スイッチ回路215-1～215-m、ラインメモリ22、およびm本の各データ線DL1～DLmに対応して設けられたDACK3-1～23-mによりデータ処理手段が構成される。

【0036】マスタクロック信号線LMCKは、外部コントローラ30で生成された5V以下の外部電源電圧(第1の電源電圧)VDD1、たとえば3Vの振幅のマスタクロック信号MCKを伝搬する。

【0037】データ信号線LDTは、外部のデータ信号処理回路40によるデジタル画像信号IMDを伝搬する。

【0038】レベルシフタ(第1のレベルシフタ)214は、外部コントローラ30で生成された5V以下の外部電源電圧VDD1たとえば3Vの振幅のスタートパルス信号SPTを5V以上の内部電源電圧(第2の電源電圧)VDD2たとえば15Vの振幅にレベルシフトして初段のフリップフロップ220-1の入力端子Dに出力する。

【0039】スイッチ回路215-1～215-mは、各フリップフロップ220-1～220-mの出力端子Qからの信号がハイレベルで制御端子に供給されたときに、データ信号線LDTとラインメモリ22の入力端子とを作動的に接続する。これにより、画像データをサンプリングする。

【0040】レベルシフト機能付きD型フリップフロップ220-1～220-mは、内部の高電源電圧VDD2、たとえば15Vで動作し、マスタクロック信号線LMCKを伝搬される5V以下の外部電源電圧VDD1、たとえば3V振幅のマスタクロック信号MCKをクロック入力端子CKに受けて15V振幅のクロック信号に変換するレベルシフタを有し、この変換後の15V振幅のクロック信号に同期して前段のレベルシフタ214またはフリップフロップ220-1～220-m-1の出力パルスをラッチして次段のフリップフロップ220-2～220-mの入力端子Dに出力するとともに、対応するスイッチ回路215-1～215-mの制御端子に出力する。具体的な接続形態は、クロック入力端子CKがマスタクロック信号線LMCKに並列に接続され、初段のフリップフロップ220-1の入力端子Dがレベルシフタ214の出力に接続され、出力端子Qと入力端子Dとが継続接続され、かつ、各出力端子Qがそれぞれ対応するスイッチ回路215-1～215-mの制御端子に接続された形態となっている。

【0041】図2は、本発明に係るレベルシフト機能付きフリップフロップの構成例を示す回路図である。本例は、マスタクロック信号MCKが互いに逆相の2相信号として供給される場合である。このフリップフロップ220(-1～-m)は、図2に示すように、レベルシフタ(第2のレベルシフタ)221、222、クロックド

インバータ223、224、インバータ225、およびCMOSインバータ等からなる出力バッファ226により構成されている。

【0042】レベルシフタ221は、3V振幅のマスタクロック信号MCKを15V振幅のクロック信号に変換して、クロックドインバータ223、224に供給する。レベルシフタ222は、3V振幅のマスタクロック信号MCKの逆相信号/MCK(／は反転を示す)を15V振幅のクロック信号に変換して、クロックドインバータ223、224に供給する。

【0043】これらのレベルシフタ221、222は、種々の構成が可能であるが、たとえばポリシリコンTFT型であって、pチャネルとnチャネルのTFTが直列接続された回路を2列有し、各pチャネルTFTのソースを電源電圧VDD2の供給ラインに接続し、各pチャネルTFTのゲートと他方の列のnチャネルTFTのドレインと交差結合し、各nチャネルTFTのゲートおよびソースをマスタクロック信号の入力ラインに接続した、いわゆるソース入力型の差動増幅器により構成される。

【0044】クロックドインバータ223は、pチャネルMOS(PMOS)トランジスタPT223、たとえばCMOS構成のインバータINV223、およびnチャネルMOS(NMOS)トランジスタNT223を、内部の高電源電圧VDD2の供給ラインと接地ラインGNDとの間に接続して構成され、PMOSトランジスタPT223のゲートにレベルシフタ221の出力クロック信号S221が供給され、NMOSトランジスタNT223のゲートにレベルシフタ222の出力クロック信号S222が供給される。そして、インバータINV223の入力端子が入力端子Dに接続され、出力端子がノードND220に接続されており、このクロックドインバータ223により入力信号(スタートパルス信号)の入力部が構成されている。

【0045】クロックドインバータ224は、PMOSトランジスタPT224、たとえばCMOS構成のインバータINV224、およびNMOSトランジスタNT224を、内部の高電源電圧VDD2の供給ラインと接地ラインGNDとの間に接続して構成され、PMOSトランジスタPT224のゲートにレベルシフタ222の出力クロック信号S222が供給され、NMOSトランジスタNT224のゲートにレベルシフタ221の出力クロック信号S221が供給される。そして、インバータINV224の入力端子がインバータINV225の出力端子に接続され、出力端子がノードND220に接続され、インバータINV225の入力端子がノードND220に接続されており、このクロックドインバータ224およびインバータINV225によりデータラッチ部が構成されている。

【0046】そして、CMOSインバータからなる出力

バッファ226の入力端子がノードND220に接続され、出力端子がフリップフロップの出力端子Qに接続されている。

【0047】次に、上記構成による動作を説明する。外部コントローラ30で発生され位相制御された、たとえば3V振幅のマスタクロック信号MCKおよびスタートパルス信号S TP、並びにデータ信号処理回路40で処理されたデジタル画像データIMDがデータ線駆動回路20Aのサンプリング回路21Aに供給される。

【0048】サンプリング回路21に供給された3V振幅のマスタクロック信号MCKは、マスタクロック信号線LMCKを伝搬され、各フリップフロップ220-1～220-mのクロック入力端子CKに並列的に供給される。また、スタートパルス信号S TPは、レベルシフタ214で15V振幅のパルス信号に変換され、初段のフリップフロップ220-1の端子Dに入力される。

【0049】各フリップフロップ220-1～220-mでは、入力された3V振幅のマスタクロック信号MCKが15V振幅のクロック信号に変換されて、入力部およびラッチ部に供給される。そして、まず入力部において、変換後の15V振幅のクロック信号に同期して前段のレベルシフタ214またはフリップフロップ220-1～220-m-1の出力パルスが取り込まれ、次のクロックタイミングでラッチ部にラッチされ、このラッチデータが出力バッファ226を介して端子Qに伝達され、端子Qから次段のフリップフロップ220-2～220-mの入力端子Dに出力されるとともに、対応するサンプリング回路215-1～215-mの制御端子に出力される。

【0050】そして、デジタル画像データIMDは、データ信号線LDTに伝搬され、マスタクロック信号MCKで同期された各フリップフロップ220-1～220-mのQ出力により各サンプリング回路215-1～215-mが順次にオン、オフされる。これにより、データ信号が順次にサンプリングされて、対応するラインメモリ22の所定の領域に格納される。ラインメモリ22に格納された画素データは、各データ線に対応して設けられたDAC23-1～23-mにそれぞれ供給され、ここでアナログ信号に変換されて、各データ線DL1～DLmに供給される。また、ゲート線駆動回路11においてライン選択信号が発生されて、所定のゲート線GL1～GLnに供給され、画像データがm個の画素セルに対して並列に書き込まれる。

【0051】以上説明したように、本第1の実施形態によれば、外部コントローラ30で生成された5V以下の外部電源電圧VDD1(たとえば3V)の振幅のマスタクロック信号MCKを伝搬するマスタクロック信号線LMCKと、外部のデータ信号処理回路40によるデジタル画像信号IMDを伝搬するデータ信号線LDTと、外部コントローラ30で生成された外部電源電圧VDD1

の振幅のスタートパルス信号S TPを5V以上の内部電源電圧VDD2(たとえば15V)の振幅にレベルシフトするレベルシフタ214と、制御端子への信号がハイレベルで供給されたときには、データ信号線LDTとラインメモリ22の入力端子とを作動的に接続し、画像データをサンプリングするスイッチ回路215-1～215-mと、内部の高電源電圧VDD2で動作し、マスタクロック信号線LMCKを伝搬される外部電源電圧VDD1振幅のマスタクロック信号MCKをクロック入力端子CKに受けて15V振幅のクロック信号に変換し、この変換後の15V振幅のクロック信号に同期して前段の出力パルスをラッチして次段に出力するとともに、対応するスイッチ回路215-1～215-mの制御端子に出力するレベルシフト機能付きD型フリップフロップ220-1～220-mとを有するサンプリング回路21Aを設けたので、低消費電力化、並びに高速化を実現できる利点がある。また、同一基板上に種々の高速デジタル回路を一体形成することができることから、ディスプレイの高機能化、低コスト化、狭額縫化を実現できる利点がある。

【0052】なお、レベルシフト機能付きフリップフロップとしては、図2に示す回路に限定されるものではなく、たとえば図3～図8に示すような種々の構成が可能であり、同様の効果を得ることができる。

【0053】図3に示すレベルシフト機能付きフリップフロップ220Aは、入力部をスイッチドインバータの代わりに、レベルシフタ221の出力信号S221でオン・オフ制御されるスイッチ回路227で構成し、ラッチ部はインバータ225と228の入出力同士を接続し、かつインバータ225の出力端子とインバータ229の入力端子間にレベルシフタ222の出力信号S222でオン・オフ制御されるスイッチ回路229を設けて構成されている。

【0054】また、図4に示すレベルシフト機能付きフリップフロップ220Bは、クロック入力が1相の場合に対応した回路であり、レベルシフタ230が差動型アンプにより構成され、このレベルシフタ230によりたとえば15V振幅の非反転および反転のクロック信号S230、S230Bを生成するよう構成されている。

40 他の構成は図3と同様である。

【0055】図5に示すレベルシフト機能付きフリップフロップ220Cは、図2の回路構成に加えて、クロック信号用レベルシフタ221、222のオン・オフをコントロールする制御回路240が設けられている。この場合、制御回路240は、制御信号CTLを受けてたとえばレベルシフタ221、222でレベルシフトを行う必要があるときのみ駆動信号S240を各レベルシフタ221、222の出力し、レベルシフタ221、222をアクティブ状態に保持させる。このような構成によれば、さらなる低消費電力化を実現できる利点がある。な

お、レベルシフタ221, 222として、たとえば、いわゆるソース入力型の差動アンプが使用された場合、制御回路240には、レベルシフタからクロック信号線に流れ込む電流を制限する機能が付加される。

【0056】図6に示すレベルシフト機能付きフリップフロップ220Dは、図5のように制御回路を設ける代わりに、入力スタートパルス信号S T Pと出力バッファ226の出力信号S 226との論理和をとるO R回路24.1を設け、O R回路24.1の出力信号S 241で、レベルシフトを行う必要があるときのみレベルシフタ221, 222をアクティブ状態に保持させるように構成されている。

【0057】図7に示すレベルシフト機能付きフリップフロップ220Eは、図5の構成に加えて、制御回路230の出力信号S 240を強制的に確定させ、レベルシフタ221, 222を強制的に非アクティブにさせることができるようにスイッチ回路242が信号S 240の出力ラインと接地ラインとの間に設けられている。このスイッチ回路242は、たとえばパワーオン時等にアクティブになるリセット信号R S Tによりオン・オフされる。このように、スイッチ回路242を電源投入時にオンさせることにより、スタート時の余分な回路動作を防ぐことができ、安定したスタートアップ動作が可能となる。

【0058】図8に示すレベルシフト機能付きフリップフロップ220Fは、クロック入力が1相の場合に対応した回路であり、レベルシフタ230が差動型アンプにより構成され、このレベルシフタ230によりたとえば15V振幅の非反転および反転のクロック信号S 230, S 230Bを生成するように構成されている。他の構成は図7と同様である。

【0059】図9は、図7のレベルシフト機能付きフリップフロップ220Eを用いたサンプリング回路21の要部であるシフトレジスタ部のシステム構成を示すブロック図である。

【0060】図9の回路では、図1に示す外部コントローラ30を構成する、マスタクロック発生回路31、スタートパルス発生回路32、並びに、リセットコントロール回路50が単結晶シリコン回路として形成されている。これらの単結晶シリコン回路は、電源電圧VDD1で動作する。また、ポリシリコンTFT回路側では、リセットコントロール回路50からの制御信号C T Lを受けて、各リセット機能並びにレベルシフト機能付きフリップフロップ220E-1～220E-4にリセット信号R S Tを供給するリセットパルスインタフェース回路221が設けられている。

【0061】このような構成においては、まず始めに、リセットコントロール回路50により制御信号C T Lがリセットパルスインタフェース回路221に入力される。これにより、リセットパルスインタフェース回路221からリセット信号R S Tが各フリップフロップ22

0 E-1～220E-4のリセット端子r s tに並列に供給され、全フリップフロップ220E-1～220E-4内のレベルシフタ221, 222が非アクティブにされる。その後、全フリップフロップ220E-1～220E-4は安定したスタートアップ状態となる。次に、第1段(初段)目のフリップフロップ220E-1の入力端子Dに、レベルシフタ214でレベル変換された高電圧(たとえば15V)振幅のスタートパルス信号S T Pが入力される。マスタクロック信号線LMCKを

伝搬される低電圧(たとえば3V)振幅のマスタクロック信号MCKがレベルシフタで高電圧振幅のクロック信号に変換され、この変換後のクロック信号に同期して、スタートパルス信号S T Pが次の段に順次転送されていく。なお、図9の回路ではマスタクロック信号MCKは2相の場合の構成例であり、2つのクロック信号はフリップフロップ1段おきに入れ替えられて入力される。したがって、図9の回路ではフリップフロップの各出力は、入力より1/2クロック周期遅延したものとなる。

【0062】なお、1相クロックの場合も同様の動作が行われる。

【0063】図9の回路においても、マスタクロック信号MCKが単結晶シリコン回路から直接供給されて、その振幅のままマスタクロック信号線LMCKを伝搬されることから、低消費電力化が実現されるとともに、クロック位相遅延が小さくなり、シフトレジスタシステムおよびサンプリングシステムが高速で動作可能となる。

【0064】図10は、図7のレベルシフト機能付きフリップフロップ220Eを用いたサンプリング回路21の要部であるシフトレジスタ部の他のシステム構成を示すブロック図である。

【0065】図10の回路は、シフトレジスタの出力を組み合わせ回路の入力にして、この組み合わせ回路、たとえばO R回路222の出力を所定の制御パルスとする例を示している。図10の回路では、組み合わせ回路を通すとパルスの位相遅延が増大してしまうため、組み合わせ回路の出力段にフリップフロップ220E-4を接続して位相制御を行っている。

【0066】本回路においても、低消費電力化が実現されるとともに、クロック位相遅延が小さくなり、シフトレジスタシステムが高速で動作可能となる。

【0067】第2実施形態

図11は、本発明に係るポリシリコンTFT型液晶表示装置の第2の実施形態を示す回路図である。

【0068】本第2の実施形態が上述した第1の実施形態と異なる点は、データ線駆動回路に入力される画像データがデジタル信号ではなくアナログ信号であることである。それに伴い、本第2の実施形態においては、データ線駆動回路20Bが、図1に示すサンプリング回路21Aを設けた構成となっている。

【0069】このような構成において、データ信号線L

DTを伝搬されるアナログ画像信号IMDAは、各フリップフロップ220-1～220-mの出力端子Qから信号がハイレベルでスイッチ回路215-1～215-mの制御端子に供給されたときに、各データ線DL1～DLmに作動的に順次供給される。

【0070】本第2の実施形態によれば、上述した第1の実施形態と同様の効果を得ることができる。

【0071】

【発明の効果】以上説明したように、本発明によれば、低消費電力化、並びに高速化を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るポリシリコンTFT型液晶表示装置の第1の実施形態を示す回路図である。

【図2】本発明に係るレベルシフト機能付きフリップフロップの第1の構成例を示す回路図である。

【図3】本発明に係るレベルシフト機能付きフリップフロップの第2の構成例を示す回路図である。

【図4】本発明に係るレベルシフト機能付きフリップフロップの第3の構成例を示す回路図である。

【図5】本発明に係るレベルシフト機能付きフリップフロップの第4の構成例を示す回路図である。

【図6】本発明に係るレベルシフト機能付きフリップフロップの第5の構成例を示す回路図である。

【図7】本発明に係るレベルシフト機能付きフリップフロップの第6の構成例を示す回路図である。

【図8】本発明に係るレベルシフト機能付きフリップフ

ロップの第7の構成例を示す回路図である。

【図9】図7のレベルシフト機能付きフリップフロップを用いたサンプリング回路の要部であるシフトレジスタ部のシステム構成を示すブロック図である。

【図10】図7のレベルシフト機能付きフリップフロップを用いたサンプリング回路の要部であるシフトレジスタ部の他のシステム構成を示すブロック図である。

【図11】本発明に係るポリシリコンTFT型液晶表示装置の第2の実施形態を示す回路図である。

10 【図12】TFT型液晶表示パネルの画素セルの等価回路を示す図である。

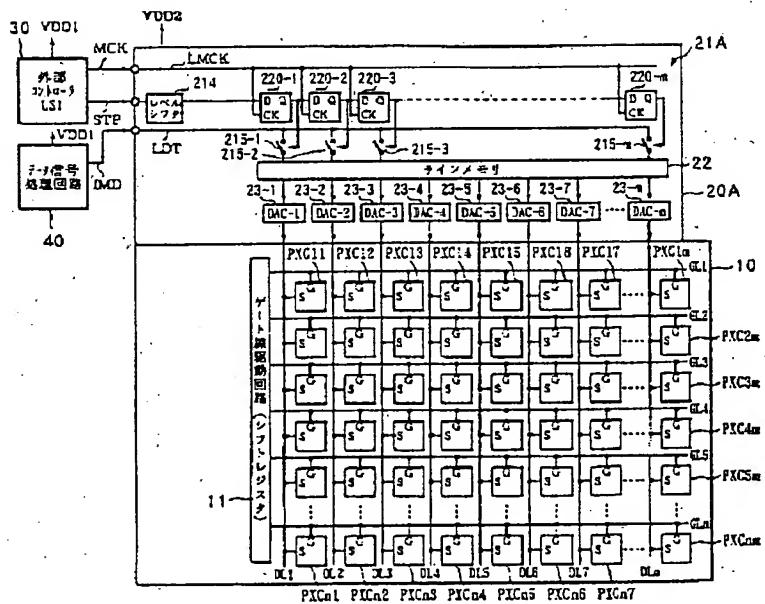
【図13】ポリシリコンTFT型液晶表示装置の構成例を示す回路図である。

【符号の説明】

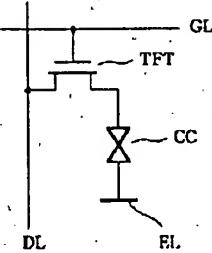
10…液晶表示パネル部、20A、20B…データ線駆動回路、21A…サンプリング回路、214…レベルシフタ、220-1～220-m、220A～220F…レベルシフト機能付きフリップフロップ、221…リセットパルスインターフェース回路、230…差動アンプ型

20 レベルシフタ、240…制御回路、241…OR回路、242…スイッチ回路、22…ラインメモリ、23-1～23-m…DAC（デジタルアナログ変換回路）、30…外部コントローラ、31…マスタクロック発生回路、32…スタートパルス発生回路、40…データ信号処理回路、50…リセットコントロール回路、LMCK…マスタクロック信号線、LDT…データ信号線。

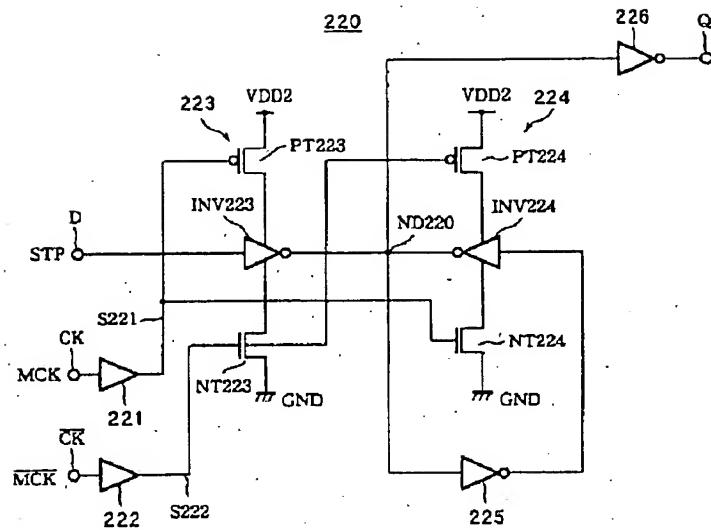
【図1】



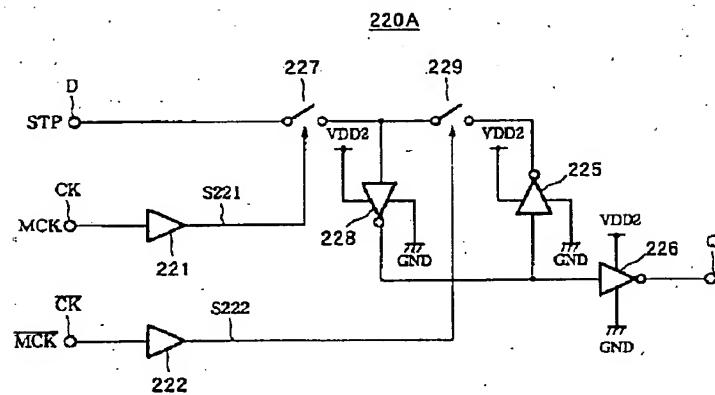
【図12】



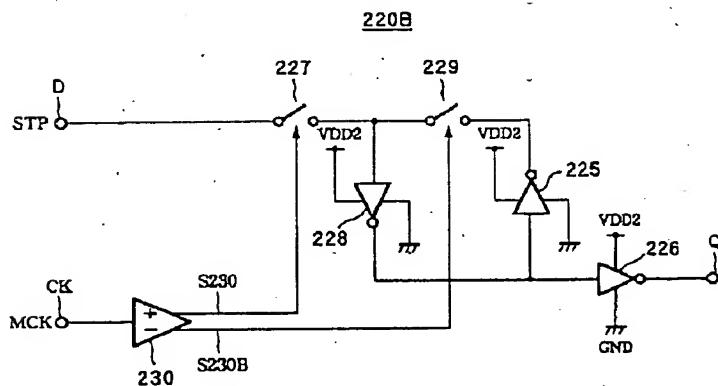
【図2】



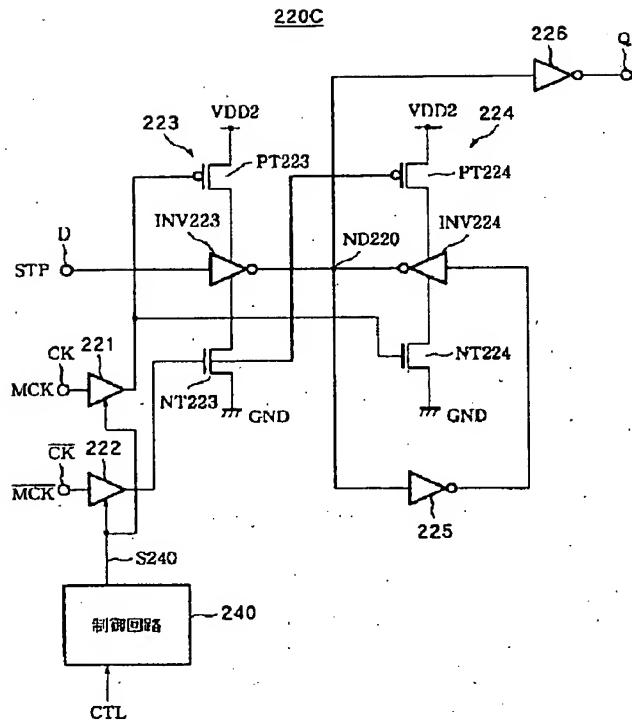
【図3】



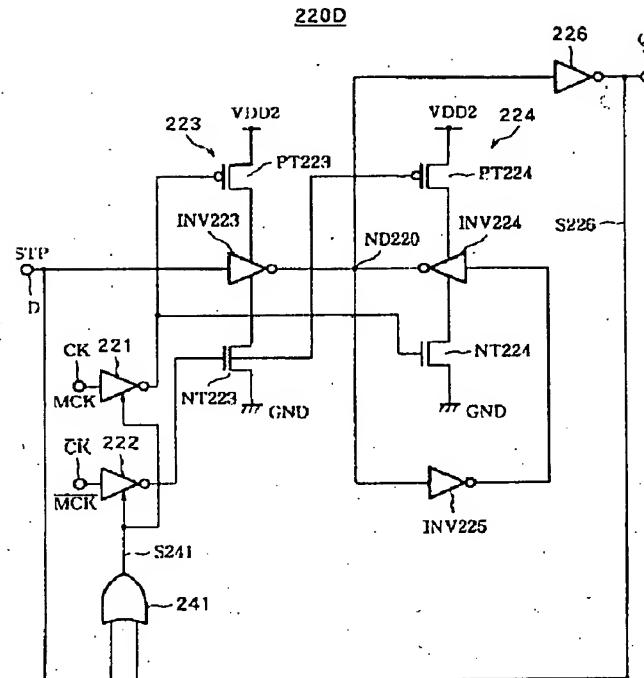
【図4】



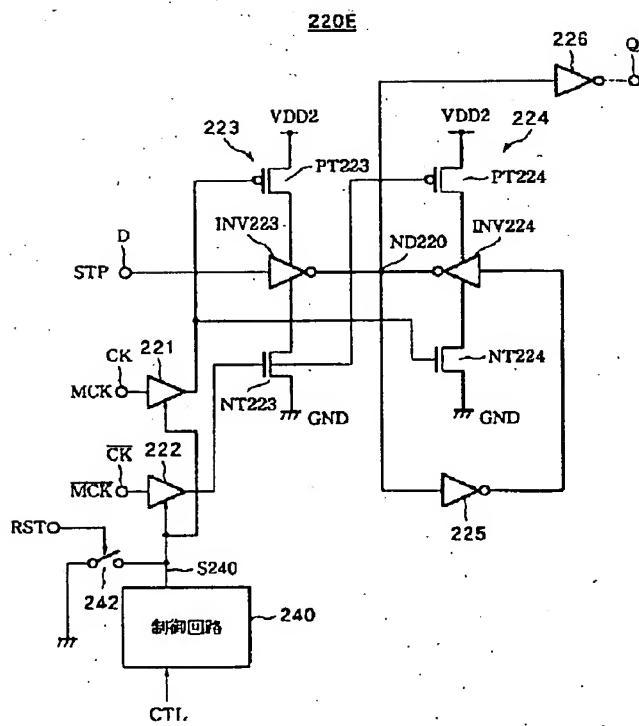
〔图5〕



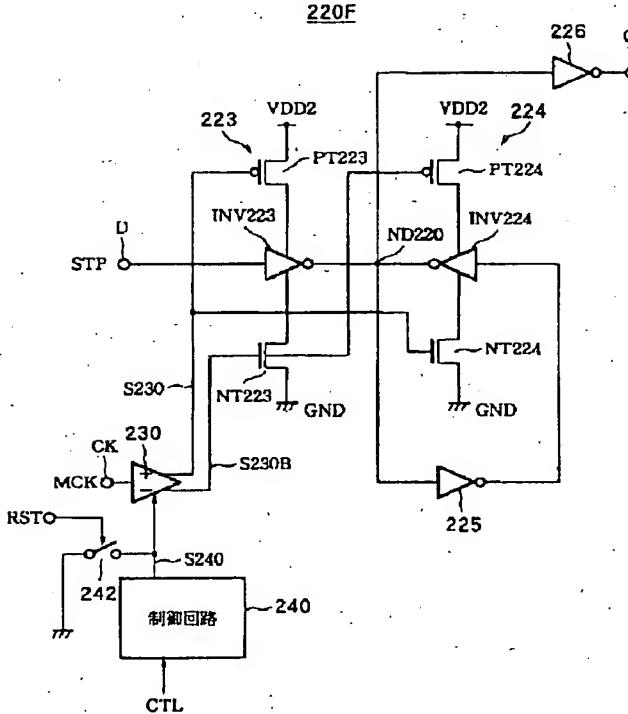
【図6】



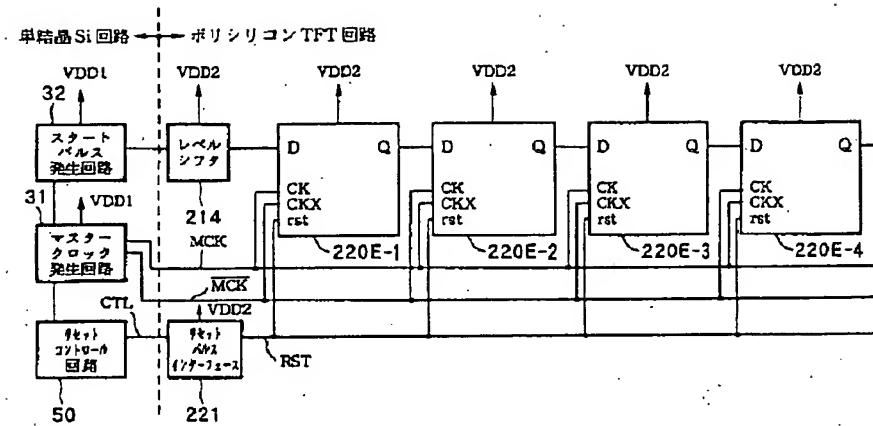
【図7】



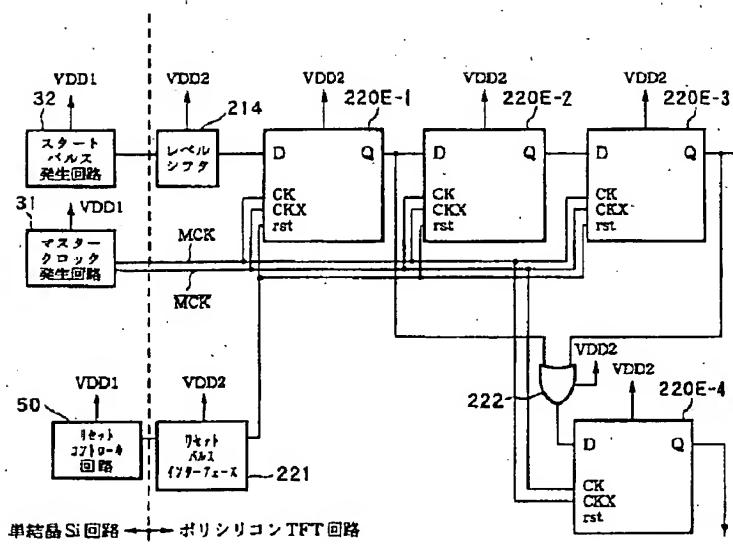
[図 8 ]



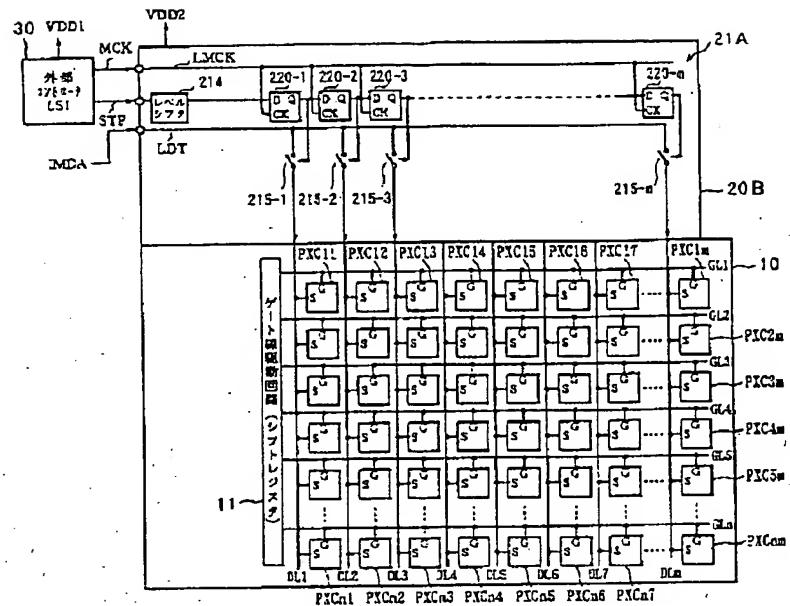
【図9】



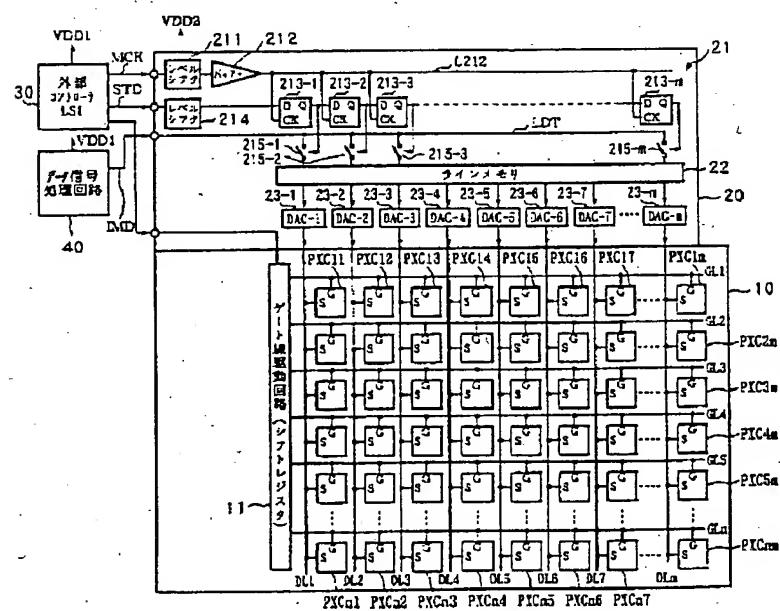
【図10】



【图 1-1】



[図13]



フロントページの続き

F ターム(参考) 2H093 NC22 NC23 NC26 NC28 NC34  
ND13 ND17 ND32 ND39 ND52  
5C006 AA22 AF83 BB16 BC12 BC13  
BC20 BF03 BF05 BF06 BF11  
BF46 FA11 FA15 FA47